

Japanese Patent Laid-open No. HEI 10-200535 A

Publication date : July 31, 1998

Applicant : K.K. Hitachi Telecom Technology

Title : CELL FLUCTUATIONS ABSORBING RECEIVING SYSTEM

5

(57) [Abstract]

[Problem]

To provide a receiving system that minimizes data delay  
and absorbs cell receiving fluctuations in the low-speed  
10 transmission by a compression technique, etc. in the ATM  
switching network.

[Solving Means]

In the cell fluctuation absorption receiving system of  
the CLAD apparatus 10 mounted in the ATM switching network,  
15 a cell fluctuation absorption receiving system can store dummy  
data corresponding to the fluctuation guarantee time in the  
receiving buffer before storing the first receiving cell data  
by installing the CLAD section 12 equipped with the receiving  
buffer that corresponds to the communication speed of each  
20 addressee in the CLAD apparatus 10 for decomposing and composing  
bit strings of a specified communication speed of the data  
communication from the connected communication apparatus.

[Scope of Claims]

[Claim 1] A cell fluctuation absorption receiving system for  
25 the cell decomposing/composing apparatus to be mounted in the

ATM switching network, comprising:

a receiving buffer corresponding to the transmission speed  
for each addressee which is equipped to the cell  
decomposing/composing apparatus for decomposing and composing  
5 a bit string into cells of a specified transmission speed of  
the data transmission from a connected communication apparatus,  
so that the dummy data corresponding to the fluctuation  
guarantee time is stored in the receiving buffer before the  
first received cell data is stored.

10

3) 4)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-200535

(43) 公開日 平成10年(1998) 7月31日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

E

H 0 4 Q 3/00

H 0 4 Q 3/00

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号

特願平9-2084

(22) 出願日

平成9年(1997) 1月9日

(71) 出願人 000153465

株式会社日立テレコムテクノロジー

福島県郡山市字船場向94番地

(72) 発明者 佐々木 俊光

福島県郡山市字船場向94番地 株式会社日

立テレコムテクノロジー内

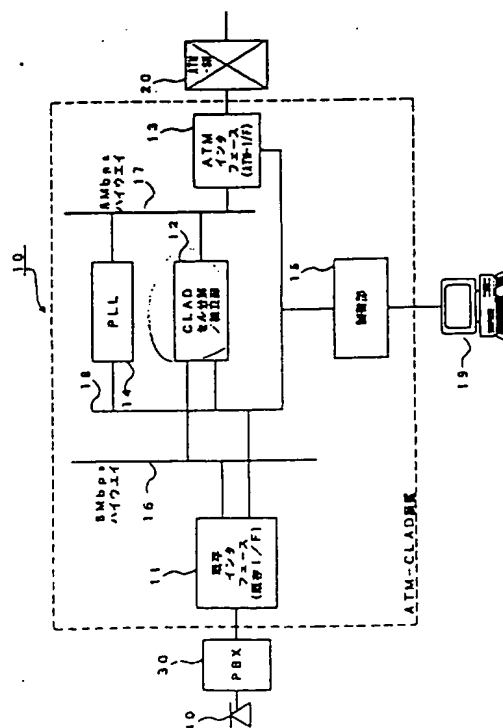
(74) 代理人 弁理士 沼形 義彰 (外 2 名)

(54) 【発明の名称】 セル揺らぎ吸収受信方式

(57) 【要約】

【課題】 A T M交換網での圧縮技術等による低速の伝送において、データ遅延を最小限にしてセルの受信揺らぎを吸収する受信方式を提供する。

【解決手段】 A T M交換網に設置されるC L A D装置10のセル揺らぎ吸収受信方式において、接続通信装置からのデータ通信が通信スピードが一定のビット列をセルに分解および組み立てるC L A D装置10に、宛先毎の通信スピードに対応した受信バッファを有するC L A D部12を設け、第一受信セルデータを格納する前に、揺らぎ保証時間に対応するダミーデータを受信バッファに格納するようにしたセル揺らぎ吸収受信方式。



## 【特許請求の範囲】

【請求項1】 ATM交換網に設置されるセル分解／組立装置のセル揺らぎ吸収受信方式において、接続通信装置からのデータ通信が通信スピードが一定のビット列をセルに分解および組み立てるセル分解／組立装置に、宛先毎の通信スピードに対応した受信バッファを設け、第一受信セルデータを格納する前に、揺らぎ保証時間に対応するダミーデータを受信バッファに格納するようにしたセル揺らぎ吸収受信方式。

【請求項2】 接続通信装置からのデータ通信が通信スピードが一定のビット列をセル分解および組立するセル分解／組立装置において、宛先毎の通信スピードに対応した受信バッファを設け、第一受信セルデータを格納する前に、揺らぎ保証時間に対応するダミーデータを受信バッファに格納する手段により、セルの揺らぎ受信を吸収し、接続装置に対し通信スピードが一定のデータビット列に復元するセル揺らぎ吸収受信方式。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 マルチメディア通信におけるセルを用いたATM交換網において、一定通信スピードのデータを転送する例えば8Kbpsに圧縮された音声通信におけるセル分解／組立（CLAD）装置に関し、特にCLAD装置でセル揺らぎを吸収する受信方式に関する。

## 【0002】

【従来の技術】 図9に示すように、ATM交換網は、電話機40が収容された複数の構内交換装置（PBX）30をセル分解／組立（ATM-CLAD）装置10を介してATM交換網のATM交換スイッチ（ATM-SW）20に対向して接続して構成される。ATM-CLAD装置10は、PBX30からの音声通信のような通信スピードが一定のデジタルデータのビット列にヘッダを付与してセルに分解してATM交換網に送信し、また、ATM交換網から受信したセルからヘッダを取り除いてデジタルデータのビット列に組立してPBX30へ送出する装置である。電話機40aからの音声データは、PBX30aでデジタルデータビット列に変換されATM-CLAD装置10aに転送される。ATM-CLAD装置10aではデジタルデータビット列を48バイト毎に区切りヘッダを付与して53バイトのセルに組み立て、ATMスイッチ（ATM-SW）20を介して相手先ATM-CLAD装置10bに伝送する。相手先ATM-CLAD装置10bでは、受信したセルをデジタルデータビット列に分解してPBX30bで音声データに変換されて電話機40bに送られる。

【0003】 セルを一定の速度で送信するATM交換網においては、伝送路状況などの条件によって、CLAD装置においてセルを受信する時に多少の揺らぎを生じ

る。従来のATM交換網では、ATM-CLAD装置に、通信相手の通信スピードに対応したセル受信バッファを設け、受信したセルを揺らぎ保証時間分受信バッファに蓄積した後、一定通信スピードでデータを送出することによってデータ転送におけるセル揺らぎを吸収していた。この方式は、次セルの受信を契機に蓄積したデータ送出をするので、最低でも2セル受信する必要がある。すなわち、受信したデータを送出するに当たって2セルを受信するに必要な時間だけデータ送出遅延が発生する。2セル分の遅延量は、64Kbpsの音声データであれば6msec程度の遅延となるので問題ないが、音声データを8Kbpsで圧縮した場合は48msecの遅延が発生し、品質の低下を招き問題となる。また、従来は、通信開始時、揺らぎ保証時間分のセル受信後接続通信装置に対し通信を開始していたが、音声通信においては音声圧縮時に第1セル受信から第2セル受信までの時間間隔がありすぎるため、揺らぎは吸収出来てもデータ遅延が発生した。このように低速セル通信においてセル単位での蓄積は、出来ない。

## 【0004】

【発明が解決しようとする課題】 本発明は、ATM交換網での圧縮技術等による低速の伝送において、データ遅延を最小限にしてセルの受信揺らぎを吸収する受信方式を提供することを課題とする。

## 【0005】

【課題を解決するための手段】 上記課題を解決するために、本発明は、ATM交換網に設置したATM-CLAD装置に設けた受信バッファに通信開始の最初のセル受信したとき、該受信バッファに揺らぎ保証時間分のダミーデータを格納した後に受信データを続けて格納するようにした。また、本発明は、ATM-CLAD装置において、接続通信装置からのデータ通信が通信スピードが一定のビット列を格納するセル分解時宛先ごとの通信スピードに対応したバッファを設け、第1受信セルデータを格納する前に揺らぎ保証時間に対応するダミーデータをバッファに格納する手段により、セルの揺らぎ受信を吸収し、接続通信装置に対し通信スピードが一定のデータビット列に復元してセル揺らぎを吸収するようにした。さらに、本発明は、制御回路が、通信開始時第1セル受信時、接続通信装置への送信用データバッファに現在出力しているアドレスをモニターし、揺らぎ保証時間分の後のアドレスからデータを格納することによって、第2セルを待たずに通信を開始できるようにして、データ遅延を最少に出るとともに、揺らぎの保証を可能とした。

## 【0006】

【作用】 本発明によれば、通信開始の第一番目のセル受信時に揺らぎ保証時間分に対応するダミーデータを受信バッファに格納してあるので、以降に受信したセルに揺らぎがあってもこのダミーデータによって遅延を回避す

ることができる。このことによって、受信するセルに揺らぎ発生してもダミーデータ分のデータを送出し続けることができ、データの連続性を保つことができる。さらに、本発明によれば、ダミーデータの量を増減することによって、揺らぎ保証時間および遅延時間を容易に調整することができる。

#### 【0007】

【発明の実施の形態】図1を用いて、本発明にかかるATM-CLAD装置10のハードウェアのブロック構成を説明する。ATM-CLAD装置10は、既存インタフェース（既存I/F）部11と、セル分解/組立（CLAD）部12と、ATMインタフェース（ATMI/F）部13と、PLL部14と、制御部15とを有して構成され、第1の8Mbpsハイウェイ16および第2の8Mbpsのハイウェイ17ならびに制御用バス18によって互いに接続されている。ATM-CLAD装置10は、既存I/F部11を介してPBX30のインタフェースと、ATM-I/F部13を介してATMスイッチ20のインタフェース接続され、さらに、ダムターミナル19と接続されている。

【0008】既存I/F部11は、PBX30のインタフェースからのデジタルデータ列を受信して第1の8Mbpsハイウェイ16を経由してCLAD部12へ転送する一方、CLAD部12からのデジタルデータ列を第1の8Mbpsハイウェイ16経由で受信してPBX30へ送信する。

【0009】CLAD部12は、既存I/F部11からのデジタルデータ列を48バイト毎に区切り5バイトのヘッダを付与してセルに組み立て、第2の8Mbpsハイウェイ17を経由してATM-I/F部13に転送する。また、CLAD部12は、ATM-I/F部13から第2の8Mbpsハイウェイ11経由し受信したセルを分解してデジタルデータ列に変換し、第1の8Mbpsハイウェイ16を経由して既存I/F部11へ転送する。

【0010】ATM-I/F部13は、CLAD部12からのセルを第2の8Mbpsハイウェイ17経由で受信し、ATM-SW20へ転送する一方、ATM-SW20からのセルを受信して第2の8Mbpsハイウェイ17を経由してCLAD部12に転送する。

【0011】PLL部14は、第1の8Mbpsハイウェイ16および第2の8Mbpsハイウェイ17用のフレーム信号およびクロックを生成し、制御用バス18を経由して既存I/F部11と、CLAD部12と、ATM-I/F部13に供給する。

【0012】制御部15は、ダムターミナル19からの構成情報を受信し、制御用バス18を経由して、既存I/F部11と、CLAD部12と、ATM-I/F部13と、PLL部14へ構成情報を転送する。

【0013】ATM-CLAD装置10内に設けるセル分解/組立（CLAD）部12の構成および機能を図2

を用いて説明する。CLAD部12は、シリアルデータを8ビットパラレルデータに変換する既存I/F側シリアル/パラレル（S/P）変換回路121Aと、ATM-SW側シリアル/パラレル（S/P）変換回路121Bと、データを一端蓄積する受信用データバッファ122、送信用データバッファ128と、制御回路123と、セルを一端蓄積する送信用セルバッファ124と、受信用セルバッファ127と、8ビットパラレルデータをシリアルデータに変換する既存I/F側パラレル/シリアル（P/S）変換回路125Aと、ATM-SW側パラレル/シリアル（P/S）変換回路125Bと、ヘッダ誤り制御子（HEC）からセルヘッダを検出するセル同期回路126と、アドレス生成回路129とから構成される。

【0014】まず、第1の8Mbpsハイウェイ16を介して受信したシリアルデータをセルに組み立てて第2の8Mbpsハイウェイ17へ送出する時のCLAD部12の動作を説明する。第1の8Mbpsハイウェイ16から8、192Kbpsのデジタルデータが受信データ線161経由で既存I/F側S/P変換回路121Aに受信される。既存I/F側S/P変換回路121Aは、受信したシリアルデータを8ビットパラレルデータに変換し、受信用データバッファ122に転送する。

【0015】アドレス生成回路129は、PLL部14からのフレーム信号181およびクロック182を受信してタイムスロット位置を検出し、タイムスロット位置に対応するデータバッファのアドレスを生成する。さらに、アドレス生成回路129におけるこのアドレス生成は、受信用データバッファ122がNフレーム分のデータを格納するリングバッファとなるようにアドレスが生成される。

【0016】ここで、第1の8Mbpsハイウェイ16上における、フレーム信号181と、クロック182と、受信データ161と、送信データ162と、タイムスロット（TS）の構成とそれぞれのタイミング関係を図3および図4を用いて説明する。図3は、第1の8Mbpsハイウェイ16上の受信データ161または送信データ162と1フレームとの間のタイムスロットの位置関係を示し、図4は、第1の8Mbpsハイウェイ16上のフレーム信号181とクロック182と受信データ161または送信データ162のタイミング関係を示す図である。第1の8Mbpsハイウェイ16上における受信データ161および送信データ162は、ST1～ST128のタイムスロット（TS）を有して、125μsecの長さを有するフレームを構成している。各タイムスロットは、8ビットで構成される。フレームの1番目のタイムスロットTS1に、フレームの開始を示す8ビットのフレーム信号181が設けられている。

【0017】以下、図5（A）を用いて、受信用データバッファ122または送信用データバッファ128の構

造とデータの書き込みおよび読み出し方法を説明する。受信データバッファ122または送信データバッファ128は、タイムスロットTS1~TS128の8ビットのバラレルデータからなるフレームをnフレーム分書き込めるよう構成されている。データが書き込まれるバッファのタイムスロットは、当該データの転送先(ルート)に対応して設定される。これらのデータバッファは、アドレス生成回路129からのアドレスが指定する位置にデータを書き込み、アドレス生成回路129からのアドレスが指定する位置からデータを読み出すことができるバッファとして構成される。

【0018】例えば、転送先がR1のATMセルがバッファのタイムスロットTS1に相当するときには、制御回路123は、nフレームを書き込みできる送信データバッファ128に、アドレス生成回路129からのアドレス信号によって、R1のATMセル#1のデータを第1フレーム目から第53フレーム目のタイムスロットTS1に順次書き込んでゆき、R1のATMセル#2のデータを第54フレーム目から第106フレーム目のタイムスロットTS1に書き込む。このようにして、転送先がR1のATMセルデータが第nフレーム目のタイムスロットTS1まで書き込まれると、第1フレーム目に戻り、再度第1フレームから第nフレームまでのタイムスロットTS1の8ビットに順次データを上書きしてゆく。同様に、転送先がR2のATMセルがバッファのタイムスロットTS2に相当するときには、制御回路123は、送信データバッファ128に、アドレス生成回路129からのアドレス信号によって、R2のATMセル#1のデータを第1フレーム目から第53フレーム目のタイムスロットTS2に順次書き込んでゆき、R2のATMセル#2のデータを第54フレーム目から第106フレーム目のタイムスロットTS2に書き込む。このようにして、転送先がR2のATMセルデータが第nフレーム目のタイムスロットTS2まで書き込まれると、第1フレーム目に戻り、再度第1フレームから第nフレームまでのタイムスロットTS2に順次データを上書きしてゆく。このようにして、制御回路123は、ATMセルの宛先ごとに異なるタイムスロットTSにデータを書き込んでゆく。

【0019】すなわち、受信したバラレル変換されたデータは、第1フレーム目から第53フレーム目のタイムスロットTS1に、宛先R1の1番目のATMセル#1の1オクテット目から53オクテット目となるデータが書き込まれ、第54フレームから第106フレームのタイムスロットTS1に2番目のATMセル#2の1オクテット目から53オクテット目となるデータが書き込まれる。以下、同様に3番目以降のATMセルによって伝送されるデータが、受信データバッファ122に順次書き込まれ、n番目のフレームタイムスロットTS1まで書き込みが済むと、1番目のフレームのタイムスロット

TS1に新たにデータが上書きされる。このことによって、リングバッファが構成される。

【0020】制御回路123は、制御用バス18からのタイムスロット番号とセルヘッダにセットするバーチャルバス識別子(VPI)および宛先を指定するアドレスを示すバーチャルチャネル識別子(VCI)の対応の構成情報を受信し、その構成情報に従い、受信データバッファ122の該当する宛先のタイムスロットからデータを読み出し、セルを組み立てる。すなわち、第1フレームから第53フレームのタイムスロットTS1に書き込まれたデータを読み出して、宛先R1の1番目のATMセル#1を組み立て、第54フレームから第106フレームのタイムスロットTS1に書き込まれたデータを読み出して2番目のATMセル#2を組み立てる。以下、同様に受信データバッファ122からデータを読み出して3番目以降のATMセルを組み立てる。

【0021】宛先が異なるATMセルは例えばタイムスロットTS2に書き込まれるように設定され、上記と同様にATMセルデータが書き込まれる。

【0022】図6を用いてATMセルの構造を説明する。図6に示すように、ATMセルは、53オクテットで構成され、5オクテットのATMセルヘッダと、48オクテットの情報フィールドからなっている。ATMセルヘッダは、4ビットの一般的フロー制御GFCと、8ビットのバーチャルバス識別子(VPI)と、16ビットのバーチャルチャネル識別子(VCI)と、3ビットのペイロードタイプ(PT)と、1ビットのセル損失優先度表示(CLP)と、8ビットのヘッダ誤り制御(HEC)とから構成される。

【0023】図7に示すように、1フレーム123オクテットの内96オクテットがATMセルの伝送に用いられる。したがって、1番目のフレームには、第1番目のATMセル#1の1番目のオクテットから53番目のオクテットまでと、第2番目のATMセル#2の1番目のオクテットから43番目のオクテットまでが伝送され、2番目のフレームには、第2番目のATMセル#2の44番目のオクテットから53番目のオクテットまでと、第3番目のATMセル#3の1番目のオクテットから53番目のオクテットまでと、第4番目のATMセル#4の1番目のオクテットから23番目のオクテットまでが伝送され、以下同様に、順次入力されるATMセルが各フレームに分割されて伝送される。

【0024】例えば、タイムスロットTS1が、VPI=0、VCI=81と言う構成情報であれば、制御回路123は、受信データバッファ122に順次蓄積されたnフレーム分のデータのタイムスロットTS1の8ビットデータを第1フレームから第48フレームまで取り出し、48オクテットの情報フィールドを組み立て、バーチャルバス"0"、バーチャルチャネル"81"へ向けて送出する。

【0025】さらに、制御回路123は、第1の8Mbpsハイウェイ16から受信したシリアルデータから構成情報を抽出し、図6に示したATMセルのセルヘッダのVPIおよびVCIを作成するとともに、一般的フロー制御(GFC)、ペイロードタイプ(PT)、セル損失優先度表示(CLP)、ヘッダ誤り制御(HEC)を、ITU規格に沿って作成してセルヘッダを構成し、該セルヘッダおよび前記情報フィールドを組み合わすことによって、セルの組立てを完了する。

【0026】通信スピードが、128Kbpsの場合、タイムスロットTS1およびタイムスロットTS2のデータから、セル情報フィールドを組み立てる。このように通信スピードによって、1フレーム中のどのタイムスロットのデータで組み立てるかは、構成情報による。

【0027】完成したセルは、送信用セルバッファ124に転送され、8ビットパラレルデータをシリアルデータに変換するパラレル/シリアル(P/S)変換回路125により8ビットデータがシリアルデータに変換され、アドレス生成回路129からの信号によって、タイムスロット位置を検出し、第2の8Mbpsハイウェイ17への送信データ線172にセルを送出する。

【0028】次いで、第2の8Mbpsハイウェイセル17から受信したセルを分解する時のCLAD部12の動作を説明する。第2の8Mbpsハイウェイ17の受信データ線171から、125μs周期で連続して到着するフレームのタイムスロットTS1からTS96を使い、第1フレームから順次ATMセルが受信される。セル同期回路126は、フレームのビット列からJTI432セル同期アルゴリズムによってセルの先頭を検出し、セル先頭信号と、シリアルデータをシリアルデータから8ビットパラレルデータに変換するシリアル/パラレル変換回路(S/P)121Bに転送する。

【0029】シリアル/パラレル変換回路(S/P)121Bは、検出したセル先頭信号によってシリアルデータを図6に示したセル構造のオクテット列になるように、8ビットパラレルデータに変換し、ATMセルとして受信用セルバッファ127に転送し、一時書き込まれる。制御回路123は、受信用セルバッファ127に書き込まれたATMセルの、セルヘッダのVPIおよびVCIと構成情報から、どのタイムスロットに対応するデータかを判定する。

【0030】制御回路123は、ATMセルの情報フィールドの48オクテットデータをタイムスロットに対応する送信用データバッファ128のアドレスに8ビットデータが書き込まれる。制御回路123は、アドレス生成回路129の信号によって、送信用データバッファ128に書き込まれたデータを、第1フレームのタイムスロットTS1から順次パラレル/シリアル変換回路(P/S)125Aへ転送する。P/S125Aは、8ビットデータをシリアルデータに変換し、第1の8Mbps

ハイウェイ16への送信データ線162に転送する。

【0031】このような構成のATM-CLAD装置においては、時間の経過とともに受信用データバッファ122または送信用データバッファ128もしくは受信用セルバッファ127に受信する受信ATMセルは、途中にATM-SWのような伝送装置が入った場合、セル衝突による待ち合わせにより図8に示す揺らぎが発生する。一定間隔でATMセルを受信している場合には、一定通信スピードのシリアルデータに再生することができ、ATMセルの一部に遅延があるATMセルを受信する場合は、遅延時間tの分データを一定通信スピードのシリアルデータに再生することができず、シリアルデータの連続性が損なわれる。

【0032】これを吸収するために、本発明は、通信開始のトリガがあると、受信用データバッファ122に、まず時間t分に相当するダミーデータを書き込みた後受信データを書き込まれるようにしてセル揺らぎを吸収するようにした。以下、図5(B)を用いて、受信用データバッファ122へのデータの書き込みについて説明する。通信開始時の最初のセルを第2の8Mbpsハイウェイ17から受信すると、送信用データバッファ128からP/S125Aへのデータ転送するためのアドレス生成回路129の信号によって、第1の8Mbpsハイウェイ16に対しデータバッファの送出アドレスを判定し、これに対しATMセル到達時間の遅延量の最大値(揺らぎ保証時間)、t時間分に対応するnフレーム分( $n \times 125 \mu s$  = 揺らぎ保証時間)時間的に先のアドレスよりデータの書き込みを開始する。すなわち、揺らぎ保証時間が5msecであるときには、40フレーム分時間的に先の第41フレーム目から第93フレーム目にかけて受信した宛先R1の1番目のATMセルデータ#1を書き込んで行く。2番目のATMセル#2は、第94フレーム目から書き込みが行われる。以下、同様に、n番目のフレームまで受信ATMセルデータが書き込まれる。ここで、2番目のATMセル#2が2.5msec遅延して到達した場合でも、セルデータは、第94フレーム目から連続して送信用データバッファ128へ書き込まれる。

【0032】書き込まれたATMセルデータを読み出すに当たっては、第1フレーム目から第40フレーム目のタイムスロットTS1に書き込まれたダミーデータDDを読み出した後、ATMセルデータ#1を読み出すので、ATMセル#2が遅延して到達しても、PBXからの転送デジタルデータは一定の速度で送り出され、かつ、遅延量を保証する分のデータが送信用データバッファ128蓄積されているので、読み出しは正常に行われ、パラレル/シリアル変換回路(P/S)125AへのATMセル送出も一定速度となって、送信データに欠落を生じることが無くなり、送信データの連続性が損なわれることが無くなる。

## 【0033】

【発明の効果】上記の実施例より明らかなように、本発明によれば、受信バッファに通信の第一セル受信時、揺らぎ保証時間分のデータを確保するため受信バッファのデータ転送アドレスを検出し、そのアドレスから揺らぎ保証時間分先のアドレスからデータを書き込まれることによって、セル揺らぎに基づく一時的なセル受信遅延によるバッファアンダーフローを防止することができる。

【0034】またセル受信スピードによらず揺らぎ保証時間分の受信バッファのアドレスをセットすることで可能であることから、データ遅延時間を最少に調整することが可能である。

## 【図面の簡単な説明】

【図1】本発明の実施例におけるATM-CLAD装置10のハードウェア構成の概念を説明するブロック図。

【図2】本発明の実施例におけるATM-CLAD装置10のCLAD部の構成を説明する機能ブロック図。

【図3】ATM-CLAD装置10内部8Mbpsハイウェイのフレーム信号と送信データおよび受信データの-slotの位置関係を説明する時間図。

【図4】ATM-CLAD装置10内部8Mbpsハイウェイのフレーム信号と、クロックおよびデータのタイミング関係を説明する時間図。

【図5】送信用データバッファ/受信用データバッファの構成およびデータの書き込みを説明する概念図。

【図6】ATMセルの構造を説明する概念図

【図7】8Mbpsハイウェイ上にのセルデータとフレームの関係を説明する時間図。

【図8】セル揺らぎを説明する時間図。

【図9】ATMCLAD装置が用いられるATM交換網の概念を説明するブロック図。

## 【符号の説明】

10 ATM-CLAD装置

11 既存I/F部

12 CLAD部

13 ATM-I/F部

14 PLL部

15 制御部

16 第1の8Mbpsハイウェイ

17 第2の8Mbpsハイウェイ

18 制御用バス

19 ダムターミナル

20 ATM-SW

30 PBX

40 電話機

121 シリアル/パラレルデータ変換回路(S/P)

122 第1の8Mbpsハイウェイからの受信用データバッファ

123 制御回路

124 第2の8Mbpsハイウェイへのセル送信用セルバッファ

125 パラレル/シリアルデータ変換回路(P/S)

126 セル同期回路

127 第2の8Mbpsハイウェイからのセル受信用セルバッファ

128 第1の8Mbpsハイウェイへの送信用データバッファ

129 アドレス生成回路

161 第1の8Mbpsハイウェイからの受信データ線

162 第2の8Mbpsハイウェイへの送信データ線

171 第2の8Mbpsハイウェイからの受信データ線

172 第2の8Mbpsハイウェイ2への送信データ線

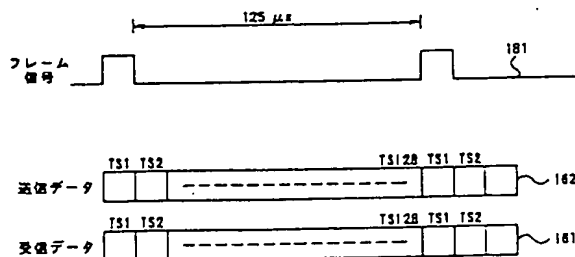
181 フレーム信号

182 クロック

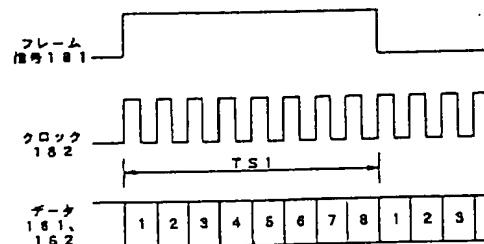
161 第1の8Mbpsハイウェイからの受信データ線

162 第1の8Mbpsハイウェイへの送信データ線

【図3】

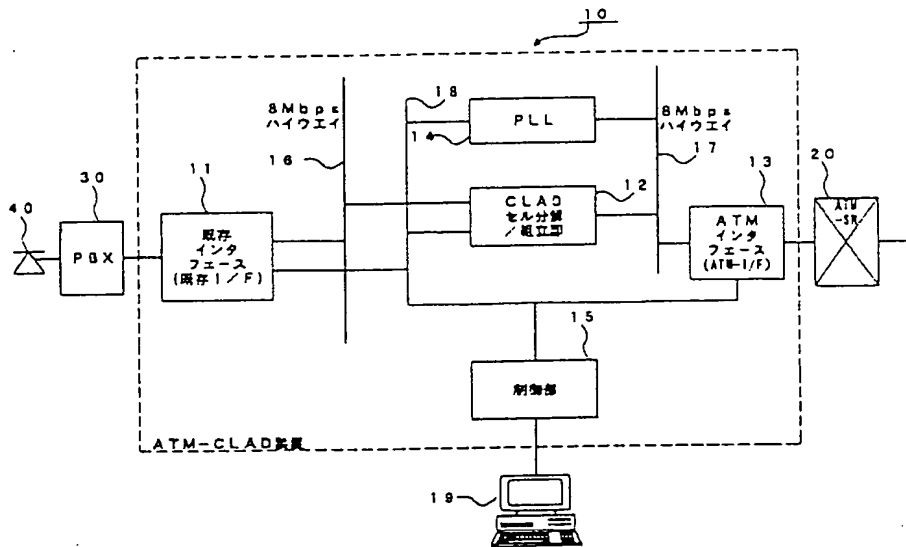


【図4】

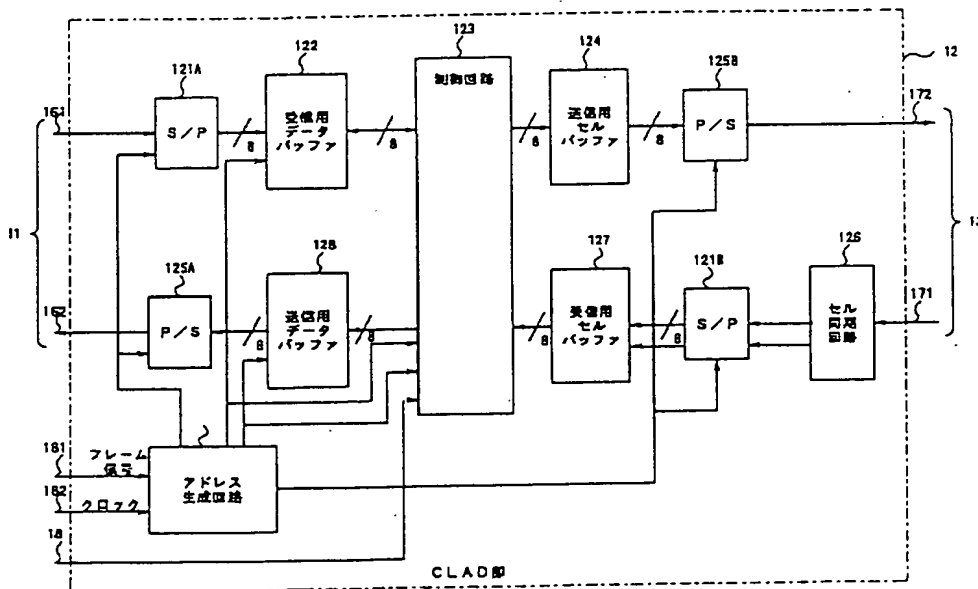




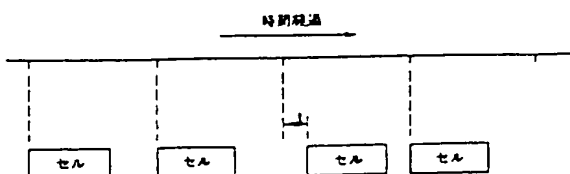
【図1】



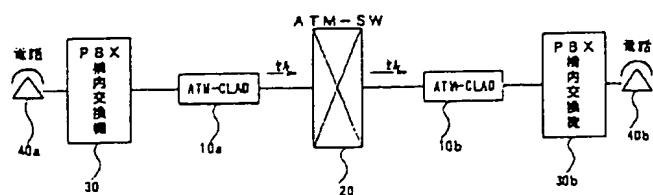
【図2】



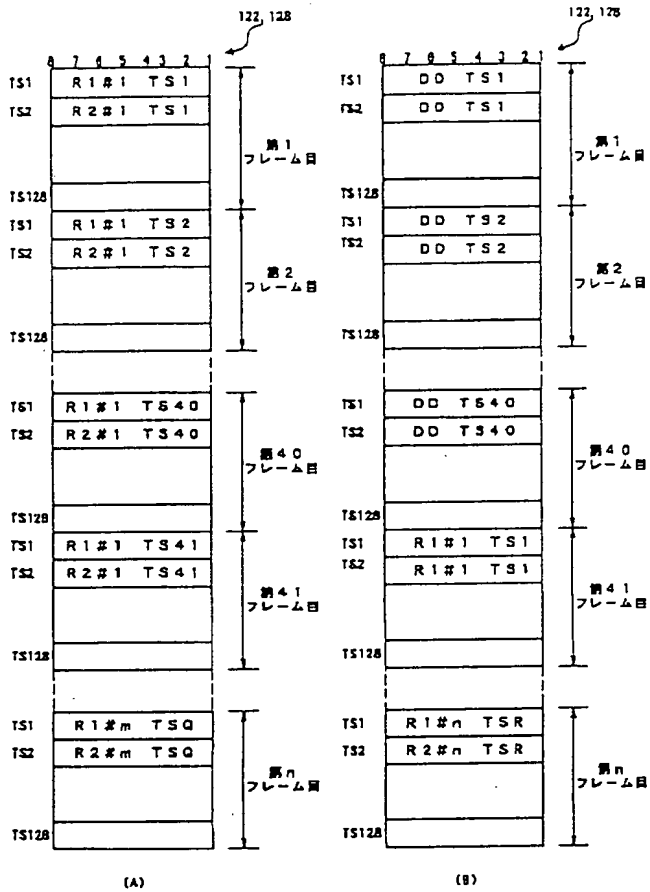
【図8】



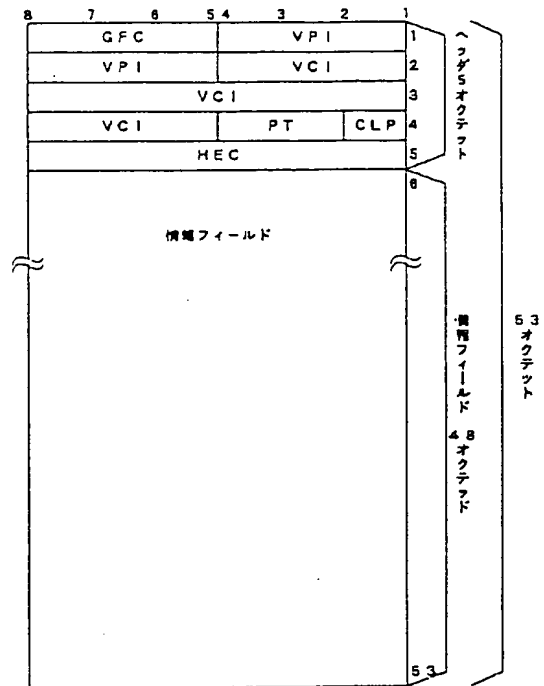
【図9】



【図5】



【図6】



【図7】

